

⑫ 公開特許公報(A) 平3-280543

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月11日

H 01 L 21/3205

6810-4M H 01 L 21/88

K

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-82420

⑰ 出 願 平2(1990)3月29日

⑱ 発 明 者	寺 井	由 佳	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	藤 居	豊 和	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	山 本	浩	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 出 願 人	松下電器産業株式会社		大阪府門真市大字門真1006番地	
⑳ 代 理 人	弁理士 栗野 重孝		外1名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 配線上に、少なくとも最上層が有機化合物を原料として堆積するBPSG膜もしくはPSSG膜からなる一層もしくは二層以上の層間絶縁膜を形成する工程と、前記層間絶縁膜を貫くコンタクトホールを開口する工程と、前記コンタクトホール内に金属を選択的に成長させる工程とを備えた半導体装置の製造方法。

(2) 前記配線がAlもしくはAl合金を含むものであることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は微細なコンタクトホールや多層配線を有する高密度、高集積な半導体集積回路の製造方法に関するものである。

従来の技術

従来、多層配線技術の1つとしてCVD法で選択的にタングステンをコンタクトホール内に埋め込む方法がある。その方法を第3図を用いて以下説明する。第3図(a)では、半導体基板10上にAl配線1を形成する。第3図(b)では、Al配線1上に層間絶縁膜として、ノンドープのSiO₂、例えば400℃程度の低温で堆積でき、かつカバレッジの良いTEOSを用いた絶縁膜6を堆積する。第3図(c)では、同一装置内のエッチバックの組合せやその後のレジストエッチバックを用いて平坦化を行う。第3図(d)では、層間絶縁膜6を貫くコンタクト8を開口する。第3図(e)では、CVD法で選択的にタングステン4を上記コンタクトホール8内に埋め込む。

発明が解決しようとする課題

選択CVDタングステンの成長の選択性はコンタクトホールが開口された絶縁膜の種類、成膜方法に大きく依存することが知られている。本発明者らが実際にタングステンの選択成長を行ったところ、コンタクトホール8以外の層間絶縁膜6上

に非選択的に成長したCVDタングステン粒子7が多数成長することを見いだした(第3図(e))。SEMを用いてTEOSを用いた絶縁膜6上に非選択的に成長したタングステン粒子7を観察した(第4図)。この層間絶縁膜6上に成長したタングステン粒子7はダストになるため、この粒子7を除去する必要がある。そこで、層間絶縁膜6上にはタングステンは成長せず、コンタクトホール8内部にのみタングステン4が選択性よく成長することが求められている。一方、選択性の良い通常のSiH₄系BPSSG膜、PSG膜は微細な隙間を埋め込むためには900℃以上のフローが必要である。しかし、層間絶縁膜は下層、例えばAl配線に影響を与えない程度の低温でカバレッジが良く形成され、簡易に平坦化が行われることも必要である。

本発明は上述の問題を鑑みてなされたもので、選択性良く金属を選択的にコンタクトホール内部にのみ成長させ、かつ層間絶縁膜が低温で形成され、微細な隙間を埋め込むことができる半導体装

置の製造方法を提供することを目的とする。

課題を解決するための手段

本発明は、上述の課題を解決するため、配線上に少なくとも最上層が有機化合物を原料とするBPSSG膜、あるいはPSG膜からなる一層もしくは二層以上の層間絶縁膜を形成し、この層間絶縁膜を貫くコンタクトホールを開口し、前記コンタクトホール内に金属を選択的に成長させること特徴とする半導体装置の製造方法である。

作用

本発明は上記の方法により、選択性良くコンタクトホール内部にのみ金属を成長させることができる。一方、層間絶縁膜は低温でカバレッジ良く微細な隙間を埋め込むことができ、低温で簡易に平坦化できる。

実施例

(実施例1)

第1図は、本発明の実施例1における半導体装置の製造方法を示す工程断面図である。以下、第1図を用いて実施例1を説明する。

第1図(a)では、半導体基板10上にPolysil配線1を形成する。第1図(b)では、Polysil配線1上に、Polysilに不純物がはいるのを防ぐため、ノンドープのSiO₂膜2を堆積する。さらに、その上に有機化合物(TEOS、TMB、TMP)を用いてBPSSG膜3を堆積する。その後、BPSSG膜3をフローによって平坦化する。第1図(d)では、コンタクトホール8を開口して、選択的にタングステン4を埋め込む。

以上のように、本実施例では層間絶縁膜として有機化合物系BPSSG膜3を用いているため、選択性良くコンタクトホール8内部にのみタングステン4を成長させることができ、さらに有機化合物系BPSSG膜3はSiH₄系BPSSG膜よりカバレッジが良く、堆積温度とフロー温度(400℃以下でも可能)が低いという利点がある。

(実施例2)

第2図は、本発明の実施例1における半導体装置の製造方法を示す工程断面図である。

第2図(a)では、半導体基板10上にAl合金配

線5を形成する。第2図(b)では、Al合金配線5上に、有機化合物(TEOS、TMB、TMP)を用いてBPSSG膜3を堆積する。第2図(c)では同一装置でBPSSG膜3のエッチバックを行うか、あるいはレジストエッチバックかフローにより平坦化を行う。もしくは、堆積条件によっては堆積直後にフロー条件が得られるので、この場合は新たな平坦化工程は必要ない。第2図(d)では、コンタクトホール8を開口する。第2図(e)では選択的にタングステン4をコンタクトホール8内部に埋め込む。有機化合物系BPSSG膜を用いると、カバレッジ良く微細な隙間を埋め込むことができ、かつエッチバック等の組合せで、さらに微細な隙間を埋め込むことができる。かつ、選択性良くタングステンを埋め込むことができる。

なお、実施例1、2では層間絶縁膜として有機化合物系BPSSG膜3を用いたが、有機化合物系PSG膜を用いても同様の効果が得られる。

発明の効果

以上に述べたように、本発明によれば、簡単な

方法で、微細なコンタクトホールに選択性良く、金属を埋め込むことができるので、エレクトロマイグレーション耐性等の信頼性向上に著しい効果がある。また、有機化合物を原料としたBPSG膜は、低温で堆積・フローでき、カバレッジ良く微細な隙間を埋め込むことができ、エッチバック等の組合せで、さらに微細な隙間を埋め込むことができる。従って、高密度大集積な半導体集積回路の実現が可能となる。

4. 図面の簡単な説明

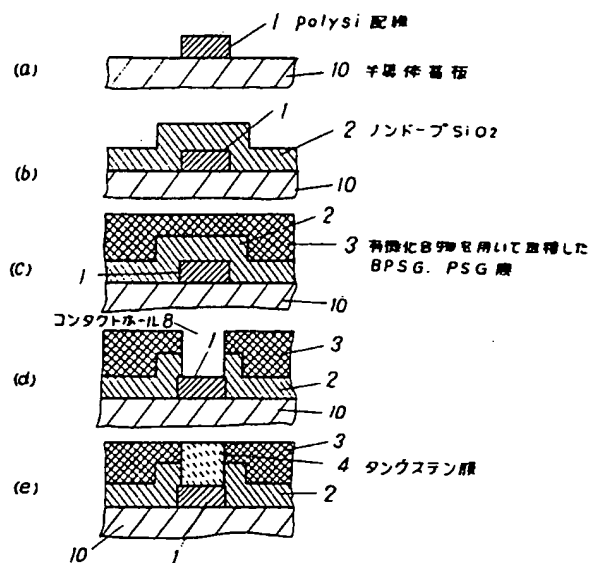
第1図は本発明の実施例1における半導体装置の製造方法を示す工程断面図。第2図は本発明の実施例2における半導体装置の製造方法を示す工程断面図。第3図は従来のCVD法で選択的にタングステンをコンタクトホール内に埋め込む方法を示す工程断面図。第4図はTEOSを用いた絶縁膜上に非選択的に成長したタングステン粒子をSEM観察により得た斜視図である。

1…poly Si配線 2…ノンドープSiO₂
3…有機化合物を用いて堆積したBPSG膜

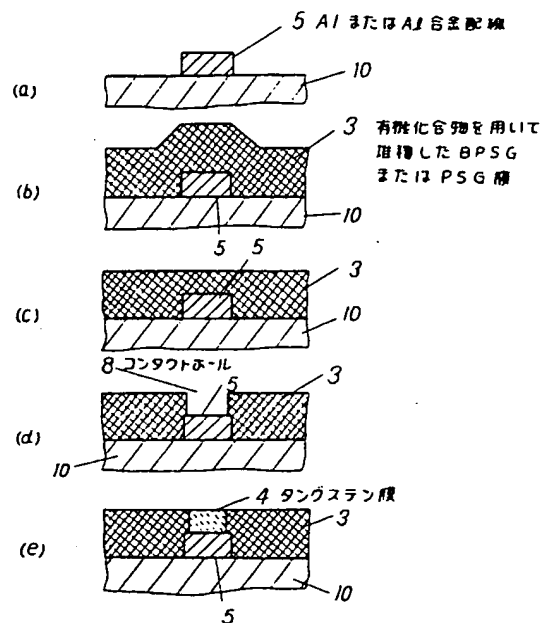
4…タングステン膜 5…AlまたはAl合金配線
6…TEOSを用いて堆積した絶縁膜 7…非選択的に成長したタングステン粒 8…コンタクトホール

代理人の氏名 弁理士 栗野重孝 ほか1名

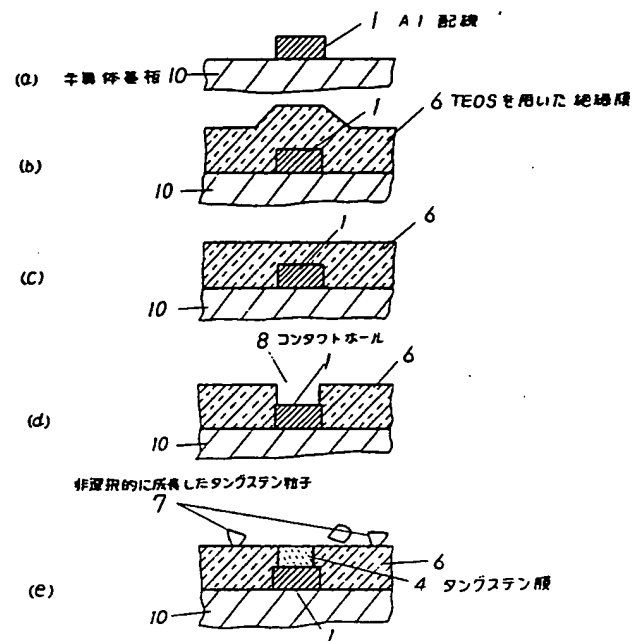
第 1 図



第 2 図



第 3 図



第 4 図

